

- 1;AP20 Rec'd PCT/PTO 07 JUL 2006

Verfahren zum Herstellen eines Leiterplattenelements sowie Leiterplattenelement

Die Erfindung betrifft ein Verfahren zum Herstellen eines Leiterplattenelements, bei dem ausgehend von einem Leiterplatten-Substrat mit zumindest einer Leiterlage, vorzugsweise zwei Leiterlagen, diese bzw. zumindest eine Leiterlage strukturiert und darauf Edelmetall aufgebracht wird.

Weiters bezieht sich die Erfindung auf ein Leiterplattenelement mit zumindest einer, vorzugsweise zwei strukturierten Leiterlage(n) auf einem Substrat, und mit Edelmetall auf der bzw. zumindest einer Leiterlage.

Unter „Leiterplattenelement“ ist hier eine einseitige oder doppelseitige Leiterplatte ebenso wie eine Multilayer-Leiterplatte, jeweils bestückt mit Bauelementen oder noch ohne Bestückung, zu verstehen, wobei primär wesentlich ist, dass ein Substrat, üblicherweise aus einer Epoxid-Harzschiicht, mit zumindest einer darauf aufgebrachten metallischen, elektrisch leitenden Lage, in der Regel aus Kupfer, vorliegt. Die metallische Lage wird hier als „Leiterlage“ bezeichnet. Diese Leiterlage kann eine Außenlage oder aber - im Fall eines Multilayers - eine Innenlage sein.

Es ist bereits vorgeschlagen worden, lokal an Stellen, wo elektrische Bauelemente anzubringen sind, eine Edelmetallschicht, insbesondere aus Silber, auf der Kupfer-Leiterlage anzubringen. Dies geschieht vor allem dort, wo in einem Druckverfahren PTF-Bauelemente (PTF-Polymer Thick Film - Polymerer Dickfilm) aufgebracht werden, wobei es sich hierbei insbesondere um PTF-Widerstände handelt. Die Edelmetallschicht zwischen dem Kupfer der Leiterlage und der PTF-Paste der Bauelemente verbessert die Stabilität der Schaltung, die sonst beispielsweise unter Feuchteinfluss beeinträchtigt wird; die Edelmetallschicht bildet insofern eine „Sperrschiicht“, als sie bei Feuchteinfluss eine Korrosion von Kupfer, etwa beim Aushärten der PTF-Paste, vermeiden hilft. Andererseits verbessert sie den elektrischen Kontakt zwischen dem Kupfer der Leiterlage und der PTF-Paste.

Von Nachteil ist hier jedoch, dass die Edelmetallschicht nur an örtlich sehr begrenzten Stellen aufgebracht werden darf, nämlich genau dort, wo das Bedrucken mit der PTF-Paste erfolgen soll; würde man nämlich die Edelmetallschicht vollflächig auf

- 2 -

der Kupfer-Leiterlage aufbringen, so würde die Haftung vom darüber anzubringenden Schichten stark beeinträchtigt werden. Beispielsweise wäre im Fall einer Verpressung zum Multilayer die notwendige interlaminare Haftung zu einer darüber angebrachten Leiterplatten-Struktur nicht mehr gegeben, und es käme beim Bestücken eines solchen Leiterplattenelements zu einer Delamination und damit zu einem Totalausfall des Leiterplattenelements. Sofern die Leiterlage eine Außenlage ist, d.h. eine Epoxidharz/Leiterlagen-Struktur nicht mehr aufgebracht wird, ist es üblicherweise für das Bestücken mit Bauelementen notwendig, auf der Außenlage eine Lötstopmaske herzustellen, und im Fall eine Edelmetallschicht würde auch eine derartige Lötstopmaske nur schlecht haften. Aus diesen Gründen wird wie erwähnt das Edelmetall nur örtlich stark begrenzt aufgebracht, und die übrige Kupfer-Leiterlagenoberfläche wird bei der weiteren Bearbeitung des Leiterplattenelements mit einer gesonderten Haftvermittlerschicht bedeckt, um so entweder das Anbringen einer Lötstopmaske oder aber das Verpressen zum Multilayer zu begünstigen.

Für die bloß partielle Anbringung des Edelmetalls in örtlich begrenzten Bereichen der Leiterlage sind jedoch eigene Prozessschritte erforderlich, nämlich die Anbringung einer Maskierungs- schicht und das Entfernen der Maskierungsschicht; nichtsdestoweniger kommt es im Bereich der Edelmetalloberfläche immer wieder zum Abheben von darauf befindlichen Materialien und somit zu Ausfällen.

Es ist nun Aufgabe der Erfindung, ein Verfahren zum Herstellen eines Leiterplattenelements bzw. ein Leiterplatten- element wie eingangs angeführt anzugeben, wobei im Zuge der Herstellung der Aufwand und die Kosten für die Prozessschritte der Maskierung und der Demaskierung erübrigt werden können, so dass eine wesentlich vereinfachte Herstellung erzielt wird, und wobei nichtsdestoweniger eine ausgezeichnete Haftung der einzelnen Schichten aneinander ermöglicht wird, und dies ohne dass eine eigene (zusätzliche) Haftvermittlerschicht auf der Leiterlage notwendig ist.

Zur Lösung dieser Aufgabe sieht die Erfindung ein Verfahren bzw. ein Leiterplattenelement wie in den unabhängigen Ansprüchen angegeben vor.

Vorteilhafte Ausführungsformen und Weiterbildungen sind in

den abhängigen Ansprüchen angegeben.

Bei der erfindungsgemäßen Technik bildet die Edelmetallschicht selbst eine Haftvermittlerschicht, auf der nachfolgende Schichten, wie etwa eine weitere Leiterplattenstruktur oder aber eine Lötstopmaske, gut haftend angebracht werden können. Auch das Material von durch Aufdrucken erzeugten PTF-Bauelementen, insbesondere PTF-Widerständen, aber auch Lötmaterial oder Adhäsivmaterial im Falle einer Klebefestigung von vorgefertigten Bauelementen, haftet auf der Edelmetallschicht ausgezeichnet. Diese gute Haftung der verschiedenen Materialien wird dadurch erreicht, dass anstatt einer glatten Edelmetall-Oberfläche eine raue Oberfläche der Edelmetallschicht vorliegt. Diese Oberflächenrauheit wird bereits in der unter der Edelmetallschicht liegenden Leiterlage, üblicherweise aus Kupfer, erzeugt, wobei die Oberflächenrauheit in einer Größenordnung herbeigeführt wird, die zumindest in der Größenordnung der Dicke der Edelmetallschicht, bevorzugt um eine Größenordnung größer vorgesehen wird. Dadurch bleibt diese Oberflächenrauheit der Leiterlage auch beim nachfolgenden Anbringen der Edelmetallschicht erhalten. Insbesondere kann die Oberflächenrauheit der Leiterlage im Bereich von 0,05 µm bis 5 µm, insbesondere 0,3 µm bis 3 µm, vorzugsweise 0,5 µm bis 1 µm, liegen, und die Dicke der Edelmetallschicht beträgt bevorzugt 0,02 µm bis 1 µm, vorzugsweise 0,02 µm bis 0,5 µm. Die Oberfläche der Leiterlage kann beispielsweise durch chemisches Ätzen, durch mechanisches Bearbeiten oder galvanisch aufgeraut werden. Die Edelmetallschicht wird dann auf dieser aufgerauten Leiterlage beispielsweise stromlos oder aber galvanisch, durch Aufdampfen oder durch Sputtern aufgebracht. Als Edelmetall kann dabei mit Vorteil Silber, Gold, Palladium, Nickel oder eine Kombination von einzelnen dieser Metalle oder aller dieser Metalle verwendet werden. Nach der Anbringung dieser vergleichsweise dünnen Edelmetallschicht auf der gesamten Oberfläche der Leiterlage (anstatt wie früher nur lokal in kleinen Teilbereichen), wobei die Rauheit der Oberfläche erhalten bleibt, können elektrische Bauelemente, wie insbesondere PTF-Widerstände etc., durch Aufdrucken, aufgebracht werden, und es kann dann ein Verpressen zu einem Multilayer erfolgen oder aber eine Lötstopmaske aufgebracht werden, um so in einem automatischen Lötvorgang vorgefertigte elektrische Bauelemente anbringen zu können.

- 4 -

Eine beispielhafte Herstellung gemäß der erfindungsgemäßen Technik sieht die folgenden grundlegenden Schritte vor:

- a) Strukturieren der Kupfer-Leiterlage (üblicherweise in einem photolithographischen Prozess durch Ätzen).
- b) Aufrauen der Oberfläche der Leiterlage
- c) Aufbringen der Edelmetallschicht
- d) Aufbringen der Bauelemente (z.B. PTF-Widerstände)
- e) Verpressen zum Multilayer.

Dem gegenüber sind beim herkömmlichen Standardprozess folgende prinzipiellen Schritte notwendig:

- a) Strukturieren der Leiterlage
- b') Aufbringen eines gesonderten Haftvermittlers auf der Leiterlage (üblicherweise unter Anwendung eines Oxidationsprozesses und mit Hilfe von organischen Komponenten)
- c') Aufbringen und Strukturieren einer Photo-Resistschicht
- c'') Partielles Aufbringen der Edelmetallschicht
- c''') Entfernen der Photo-Resistschicht
- d) Aufbringen der Bauelemente
- e) Verpressen zum Multilayer

Wie sich hieraus unmittelbar ersehen lässt, werden bei der erfindungsgemäßen Technik kostenintensive Schritte eingespart, wenn gemäß der Erfindung vorgegangen wird; überdies werden die Eigenschaften der Leiterplattenelemente verbessert.

Die Erfindung wird nachstehend anhand von bevorzugten Ausführungsbeispielen, auf die sie jedoch nicht beschränkt sein soll, und unter Bezugnahme auf die Zeichnung noch weiter erläu-

tert. In der Zeichnung zeigen im Einzelnen:

Fig. 1 eine schematische Draufsicht auf ein Leiterplatten-element mit lokalen Edelmetallauflagen auf einer Kupferlage gemäß Stand der Technik;

Fig. 2 im größeren Maßstab einen schematischen Schnitt durch ein Teil dieser Leiterplattenelements, gemäß der Linie II-II und Fig. 1;

Fig. 3 eine der Darstellung in Fig. 1 entsprechende schematische Draufsicht auf ein Leiterplattenelement gemäß der Erfindung; und

Fig. 4 einen Querschnitt durch dieses Leiterplattenelement ähnlich der Darstellung in Fig. 2, wobei zusätzlich eine aufzupressende Leiterplattenstruktur mit Kupfer-Außenlage sowie eine untere Leiterlage veranschaulicht sind.

In Fig. 1 ist schematisch ein Teil eines Leiterplattenelements 1 in Draufsicht gezeigt, wobei der Schichtaufbau des Leiterplattenelements 1 weiters beispielhaft aus Fig. 2 hervorgeht.

In Fig. 1 sind einzelne Materialien des Leiterplattenelements 1, soweit sie an der Oberseite des Leiterplattenelements 1 ersichtlich sind, zwecks besserer Unterscheidung schraffiert, punktiert bzw. doppelt schraffiert veranschaulicht, wobei die einfach schraffierten Bereiche ein Epoxidharz-Substrat 2 darstellen (vgl. auch Fig. 2), auf dem eine strukturierte Metallage 3, insbesondere aus Kupfer, vorliegt, die zwecks besserer Unterscheidung punktiert veranschaulicht ist. Diese Metallage 3 wird nachfolgend der Einfachheit halber als Leiterlage 3 bezeichnet, und durch ihre Strukturierung (durch photolithographische Techniken) sind an der Oberseite jene Bereiche ersichtlich, d.h. freigelegt, in denen das an sich darunter liegende Epoxidharz-Substrat 2, nachstehend allgemein Leiterplatten-Substrat 2 oder kurz Substrat 2 genannt, dann von der Oberseite her zu sehen ist.

Mit doppelt schraffierten Linien sind weiters elektrische Bauelemente 4 gezeigt, bei denen es sich beispielsweise um in PTF-Technik (PTF-Polymer Thick Film-polymerer Dickfilm) aufgedruckte Bauelemente, insbesondere Widerstände, handelt. Im Bereich der Enden dieser Bauelemente 4, insbesondere Widerstände, sind Anschluss- oder Kontaktflächen 5 gebildet, die aus entsprechenden Bereichen 5' (siehe Fig. 2) der Leiterlage 3 sowie wei-

ters lokal darauf aufgebrachten Edelmetall-Auflagen 6 gebildet sind. Diese Edelmetall-Auflagen 6 sind in Fig. 1 als freie Flächen, ohne Schraffur oder dergleichen, veranschaulicht, in der Querschnittsdarstellung gemäß Fig. 2 jedoch schraffiert gezeigt.

Die Edelmetall-Auflagen 6 bestehen in herkömmlicher Weise z.B. aus einer dünnen lokalen Silberschicht, und sie bilden eine Sperrschicht oder Stabilisierungsschicht, die beim Aufbringen der Bauelemente 4 und deren Fixierung (Aushärtung) einen Zugang von Feuchte zur Leiterlage 3 und damit im Kontaktbereich ein Korrodieren dieser Leiterlage 3 verhindern. Überdies verbessert diese Edelmetall-Auflage 6 auch den elektrischen Kontakt zwischen dem Bauelement 4 und der Leiterlage 3.

Von Nachteil ist bei dieser bekannten Technik, dass die Edelmetall-Auflage 6 nur lokal, in eng begrenzten Bereichen, nämlich den Bereichen der Kontaktflächen 5, aufgebracht werden darf. Würde eine derartige Edelmetall-Beschichtung auf der gesamten Leiterlage 3 aufgebracht werden, so würde eine nachfolgende Beschichtung des Leiterplattenelements 1 wie in Fig. 1 und 2 gezeigt, etwa mit einer weiteren Leiterplattenstruktur oder aber mit einer Lötstopmaske, nicht oder nur sehr schlecht haften, und eine relativ baldige Ablösung der aufgebrachten Schicht oder Schichten wäre die Folge.

Anderseits ist für die bloß örtliche Aufbringung der Edelmetall-Auflagen 6 ein relativ hoher Aufwand bei der Herstellung notwendig, da gesonderte Schritte zur Maskierung der Oberseite des Leiterplattenelements 1 sowie zur Entfernung dieser Maskierung nach Aufbringen der Edelmetall-Auflagen 6 erforderlich sind. Überdies hat sich in der Praxis gezeigt, dass es im Bereich der Edelmetall-Auflagen 6 bei darüber angebrachten Schichten, etwa wenn das Leiterplattenelement 1 wie in Fig. 1 und 2 gezeigt zu einem Multilayer verpresst wird (vgl. auch Fig. 4), zu lokalen Abhebungen dieser aufgebrachten Schicht kommt, und dass insbesondere auch ein Abheben der Materialien der Baulement 4 (PTF-Widerstände) von den Edelmetall-Auflagen 6 zu beobachten ist.

Bei der erfindungsgemäßen Technik wird, wie aus Fig. 3 ersichtlich, eine komplette Beschichtung der Leiterlage 13 auf dem Substrat 12 mit Edelmetall ermöglicht, und es liegt dann eine zur Gänze oder aber im Wesentlichen zur Gänze mit einer Edelmetallschicht 16 bedeckte Leiterlage 13 vor. Dadurch erübrigen

sich die vorstehend erwähnten Maskierungs- und Demaskierungsprozesse, wie sie bei der bekannten Technik erforderlich sind. Nichtsdestoweniger wird ein ausgezeichnetes Haften von darüber angebrachten Schichten, wie beispielsweise eines Substrats 3' einer Leiterplattenstruktur 1', die eine äußere Leiterlage 3' aufweist, im Zuge des Verpressens zu einem Multilayer ermöglicht, vgl. Fig. 4, wo schematisch mit einem Pfeil 7 dieses Verpressen (wobei gleichzeitig eine Erhitzung erfolgt) veranschaulicht ist. Anstatt einer solchen Leiterplattenstruktur 1', wie in Fig. 4 gezeigt, kann beispielsweise aber auch eine Lötstopmaske auf der Oberseite des Leiterplattenelements 11 gemäß Fig. 3 und 4 angebracht werden. Auch hier wird eine gute Haftung erzielt.

Um diese gute Haftung zu erreichen, wird die Leiterlage 13 an ihrer Oberfläche vor dem Aufbringen der Edelmetallschicht 16 aufgeraut, wobei die Oberflächenrauheit 8 in Fig. 4 nur ganz schematisch mit einer Wellenlinie veranschaulicht ist. Dieser Oberflächenrauheit 8 der Leiterlage 13 folgt auch die vergleichsweise dünne Edelmetallschicht 16, so dass deren Oberseite ebenfalls eine entsprechende Rauheit 8' aufweist. Durch diese Oberflächenrauheit 8' wird sodann das erwähnte gute Anhaften einer darauf angebrachten Schicht, wie etwa einer Epoxidharz-Substratschicht 2' oder einer Lötstopmaske, sichergestellt.

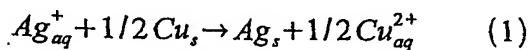
Den vorliegenden Leiterplattenelementen 11 können herkömmliche Leiterplattensubstrate, wie etwa FR 4-Substrat, zu Grunde liegen, bei denen wie erwähnt ein Epoxidharz-Substrat 2 sowie darauf eine Kupferlage 13 gegeben sind. Gegebenenfalls kann das Substrat 2 aber auch auf der gemäß Darstellung in Fig. 4 unteren Seite mit einer Leiterlage (Kupferlage ) 13' versehen sein, und diese Leiterlage 13' kann in entsprechender Weise aufgeraut und mit einer Edelmetallschicht versehen sein. Beim aufgebrachten Bauelement 4 handelt es sich bevorzugt um ein polymeres Dickfilm-Bauelement, insbesondere einen PTF-Widerstand, der in einem Druckverfahren aufgebracht wird. Ein solcher PTF-Widerstand besteht beispielsweise aus einem Phenolharz, in dem Kohlenstoffpartikel in der erforderlichen Konzentration, je nach Widerstandswert, eingelagert sind.

Die Edelmetallschicht 16 kann außer aus dem bereits erwähnten Silber auch aus Gold, aber auch aus Palladium, Platin oder Nickel oder dergleichen Edelmetall bestehen. Je nach den

- 8 -

verwendeten Materialien werden auch entsprechende Aufbau- und Aufbringtechniken angewandt. Diese Techniken sind an sich bekannt und sollen daher hier nur kurz erwähnt werden.

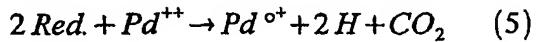
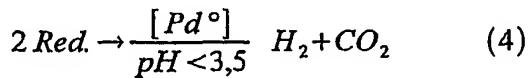
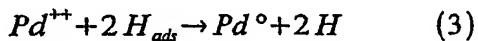
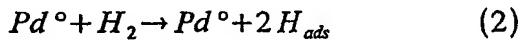
Im Fall einer Edelmetallschicht 16 aus Silber wird bevorzugt eine einfache Austauschreaktion für die Beschichtung zu Grunde gelegt, bei der Kupfer der Leiterlage 3 durch Silber der Edelmetallschicht 16 gemäß der Beziehung



ersetzt wird.

Diese Austauschreaktion läuft zufolge der Potentialdifferenz zwischen Kupfer und Silber ab, und man erhält eine sehr kompakte Silberschicht auf der Kupferlage. Insbesondere werden hierbei Silber-Schichten 16 mit einer Dicke zwischen 0,1 µm und 0,25 µm herbeigeführt (allgemein bevorzugt zwischen 0,02 µm und 0,5 µm).

Im Fall einer Beschichtung mit Palladium wird ein Wasserstoff und Palladium enthaltender Aktivator aufgebracht, wobei eine autokatalytische Reaktion eingeleitet wird:



Bei einem pH von < 3,5 beginnt die Zersetzung des Reduktionsmittels, und Reaktionen finden nur in der Diffusionsschicht statt. Der frei werdende Wasserstoff sichert die Fortführung der Reaktion.

Vergleichbare chemische Beschichtungstechniken können für

Nickel und Gold angewandt werden.

Zur Aufbringung der Edelmetallschicht 16 auf der Leiterlage 3 können jedoch auch andere an sich herkömmliche Techniken eingesetzt werden, wie etwa ein galvanisches Aufbringen des Edelmetalls auf der Leiterlage 13, ein Aufbringen des Edelmetalls durch Aufdampfen oder ein Aufbringen durch Sputtern. Die Edelmetallschicht weist wie erwähnt mit Vorteil eine Dicke zwischen 0,02 µm und 1 µm auf.

Die Oberfläche der Leiterlage 13 kann, nachdem oder bevor sie in herkömmlicher Weise photolithographisch strukturiert wurde bzw. wird, durch verschiedenste an sich herkömmliche Techniken aufgeraut werden. Beispielsweise ist hier ein mechanisches Aufrauen denkbar, ebenso wie ein galvanisches Aufrauen oder ein Aufrauen durch Ionenätzen oder chemisches Ätzen, wobei als Ätzmittel beispielsweise ein solches auf der Basis von Wasserstoffperoxid/Schwefelsäure benutzt wird. Die Oberflächenrauheit kann in der Größenordnung von 0,05 µm bis 5 µm, vorzugsweise 0,3 µm bis 3 µm, insbesondere 0,5 µm bis 1 µm, liegen, und es werden dabei zum Teil nadelartige Oberflächenstrukturen erhalten. (Wie erwähnt ist die wellenartige Darstellung in Fig. 4 nur ganz schematisch zu sehen, sie soll jedoch auch verdeutlichen, dass die Oberflächenrauheit 8 bzw. 8' stärker ist, d.h. in einem größeren Dimensionsbereich liegt, verglichen mit der Dicke der Edelmetallschicht 16.)

**Patentansprüche:**

1. Verfahren zum Herstellen eines Leiterplattenelements, bei dem ausgehend von einem Leiterplatten-Substrat (12) mit zu mindest einer Leiterlage (13) diese Leiterlage strukturiert und darauf Edelmetall (16) aufgebracht wird, dadurch gekennzeichnet, dass die Leiterlage (13) an der Oberfläche aufgeraut und das Edelmetall (16) als Schicht im Wesentlichen auf der gesamten strukturierten, aufgerauten Leiterlage (13) aufgebracht wird, wobei die Edelmetallschicht-Oberfläche eine entsprechende Rauheit (8') erhält.
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass die Oberfläche der Leiterlage (13) mit einer Rauheit (8) im Bereich von 0,05 µm bis 5 µm, z.B. 0,3 µm bis 3 µm, vorzugsweise 0,5 µm bis 1 µm, aufgeraut wird.
3. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass die Oberfläche der Leiterlage (13) durch chemisches Ätzen aufgeraut wird.
4. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass die Oberfläche der Leiterlage (13) durch Ionenätzen aufgeraut wird.
5. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass die Oberfläche der Leiterlage (13) durch mechanisches Bearbeiten aufgeraut wird.
6. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass die Oberfläche der Leiterlage (13) galvanisch aufgeraut wird.
7. Verfahren nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, dass die Edelmetallschicht (16) mit einer Dicke von 0,02 µm bis 1 µm, vorzugsweise 0,02 µm bis 0,5 µm, auf der Leiterlage (13) aufgebracht wird.
8. Verfahren nach einem der Ansprüche 1 bis 7, dadurch gekenn-

- 11 -

zeichnet, dass die Edelmetallschicht (16) chemisch-stromlos auf der Leiterlage (13) aufgebracht wird.

9. Verfahren nach einem der Ansprüche 1 bis 7, dadurch gekennzeichnet, dass die Edelmetallschicht (16) galvanisch auf der Leiterlage (13) aufgebracht wird.

10. Verfahren nach einem der Anprüche 1 bis 7, dadurch gekennzeichnet, dass die Edelmetallschicht (16) durch Aufdampfen auf der Leiterlage (13) aufgebracht wird.

11. Verfahren nach einem der Ansprüche 1 bis 7, dadurch gekennzeichnet, dass die Edelmetallschicht (16) durch Sputtern auf der Leiterlage (13) aufgebracht wird.

12. Verfahren nach einem der Ansprüche 1 bis 11, dadurch gekennzeichnet, dass als Edelmetallschicht (16) eine Schicht aus zumindest einem Metall der Gruppe, enthaltend, Silber, Gold, Palladium, Platin und Nickel, aufgebracht wird.

13. Verfahren nach einem der Ansprüche 1 bis 12, dadurch gekennzeichnet, dass nach dem Aufbringen der Edelmetallschicht (16) auf der aufgerauten Leiterlage (13) zumindest ein elektrisches Bauelement (4) auf Bereichen der oberflächen-rauen Edelmetallschicht (16) angebracht wird.

14. Verfahren nach Anspruch 13, dadurch gekennzeichnet, dass das elektrische Bauelement (4) ein Widerstand, z.B. ein PTF-Widerstand, ist.

15. Verfahren nach einem der Ansprüche 1 bis 14, dadurch gekennzeichnet, dass nach dem Aufbringen der Edelmetallschicht (16) auf der aufgerauten Leiterlage (13) sowie gegebenenfalls des elektrischen Bauelements (4) auf der Oberseite des Leiterplatten-Substrats (12), mit der oberflächen-rauen Edelmetallschicht (16), eine weitere Leiterplatten-Struktur (1') aufgebracht wird und so eine Verpressung zu einem Multilayer erfolgt.

16. Verfahren nach einem der Ansprüche 1 bis 14, dadurch gekenn-

- 12 -

zeichnet, dass nach dem Aufbringen der Edelmetallschicht (16) auf der aufgerauten Leiterlage (13) sowie gegebenenfalls des elektrischen Bauelements (4) auf der Oberseite des Leiterplatten-Substrats (12), mit der oberflächen-rauen Edelmetallschicht (16), eine Lötstopmaske aufgebracht wird.

17. Verfahren nach einem der Ansprüche 1 bis 16, dadurch gekennzeichnet, dass ein Leiterplatten-Substrat (12) mit zwei Leiterlagen (13, 13') verwendet wird, wobei zumindest eine Leiterlage strukturiert und aufgeraut wird.

18. Verfahren nach einem der Ansprüche 1 bis 17, dadurch gekennzeichnet, dass die Leiterlage nach dem Strukturieren an der Oberfläche aufgeraut wird.

19. Leiterplattenelement mit zumindest einer strukturierten Leiterlage (13) auf einem Substrat (12), und mit Edelmetall (16) auf der Leiterlage (13), dadurch gekennzeichnet, dass die Leiterlage (13) eine aufgerauten Oberfläche (8) und an dieser eine oberflächen-raue Edelmetallschicht (16) als Kontaktvermittler- und Stabilisierungsschicht einerseits und als Haftvermittlerschicht andererseits aufweist.

20. Leiterplattenelement nach Anspruch 19, dadurch gekennzeichnet, dass auf der oberflächen-rauen Edelmetallschicht (16) eine weitere Leiterplattenstruktur (1'), unter Bildung einer Multi-layer-Konfiguration, vorgesehen ist.

21. Leiterplattenelement nach Anspruch 19, dadurch gekennzeichnet, dass auf der oberflächen-rauen Edelmetallschicht (16) eine Lötstopmaske aufgebracht ist.

22. Leiterplattenelement nach einem der Ansprüche 19 bis 21, dadurch gekennzeichnet, dass auf der oberflächen-rauen Edelmetallschicht (16) mindestens ein elektrisches Bauelement (4) angebracht ist.

23. Leiterplattenelement nach Anspruch 22, dadurch gekennzeichnet, dass das elektrische Bauelement (4) ein Widerstand, z.B. ein PTF-Widerstand, ist.

24. Leiterplattenelement nach einem der Ansprüche 19 bis 23, dadurch gekennzeichnet, dass die Leiterlage (13) bzw. die Edelmetallschicht (16) eine Oberflächenrauheit (8; 8') im Bereich von 0,05 µm bis 5 µm, z.B. 0,3 µm bis 3 µm, vorzugsweise 0,5 µm bis 1 µm, aufweist.

25. Leiterplattenelement nach einem der Ansprüche 19 bis 24, dadurch gekennzeichnet, dass die Edelmetallschicht (16) eine Dicke von 0,02 µm bis 1 µm, vorzugsweise 0,02 µm bis 0,5 µm, aufweist.

26. Leiterplattenelement nach einem der Ansprüche 19 bis 25, dadurch gekennzeichnet, dass die Edelmetallschicht (16) zumindest ein Metall aus der Gruppe, bestehend aus Silber, Gold, Palladium, Platin und Nickel, aufweist.

27. Leiterplattenelement nach einem der Ansprüche 19 bis 26, dadurch gekennzeichnet, dass das Substrat (12) zwei strukturierte Leiterlagen (13, 13') aufweist, wobei auf zumindest einer Edelmetallschicht (16) aufgebracht ist.

**THIS PAGE BLANK (USPTO)**

1 / 2

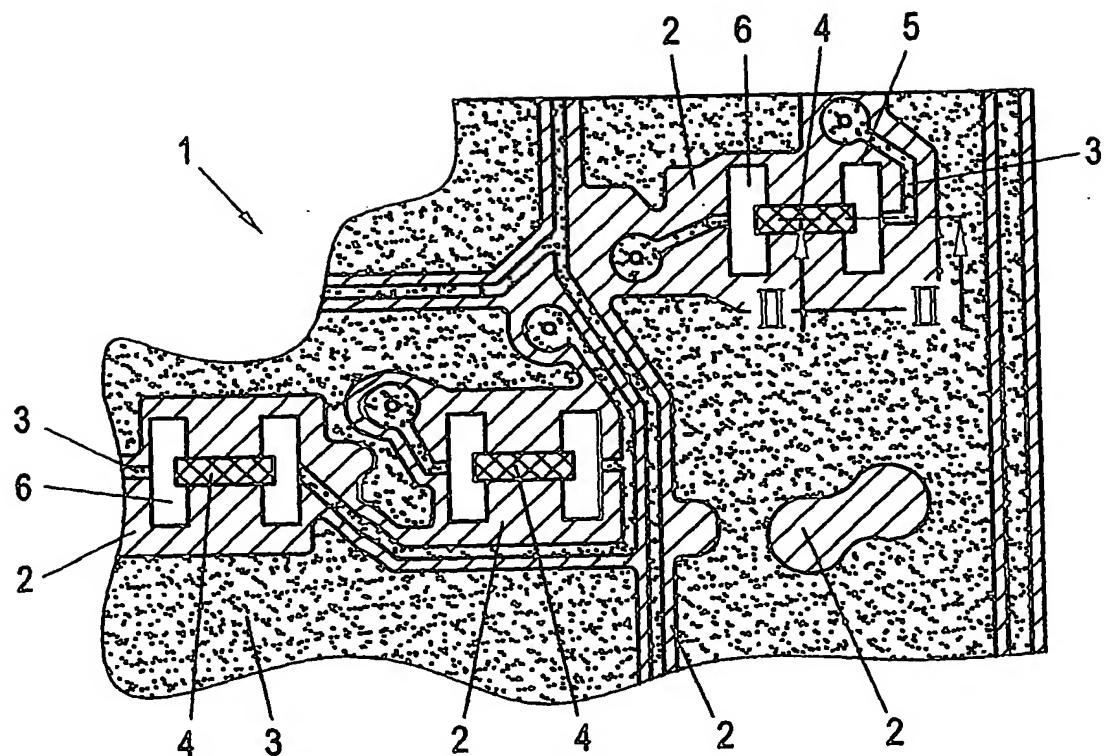


FIG. 1

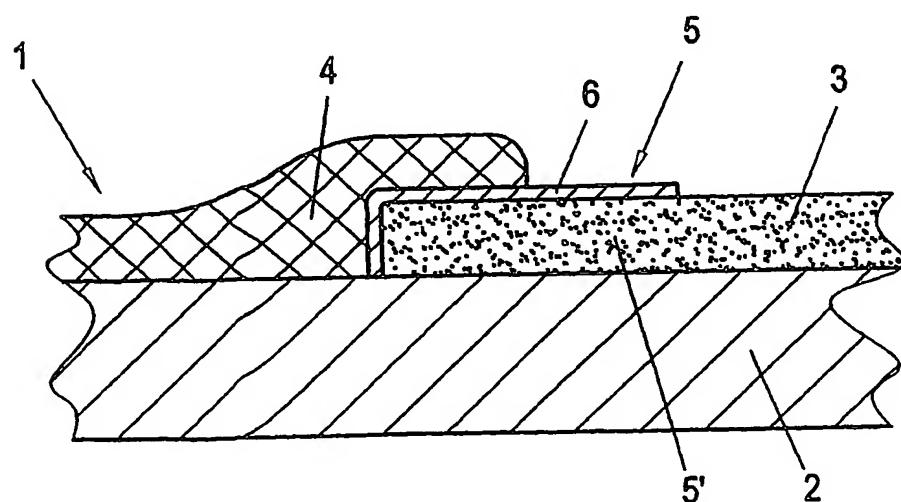
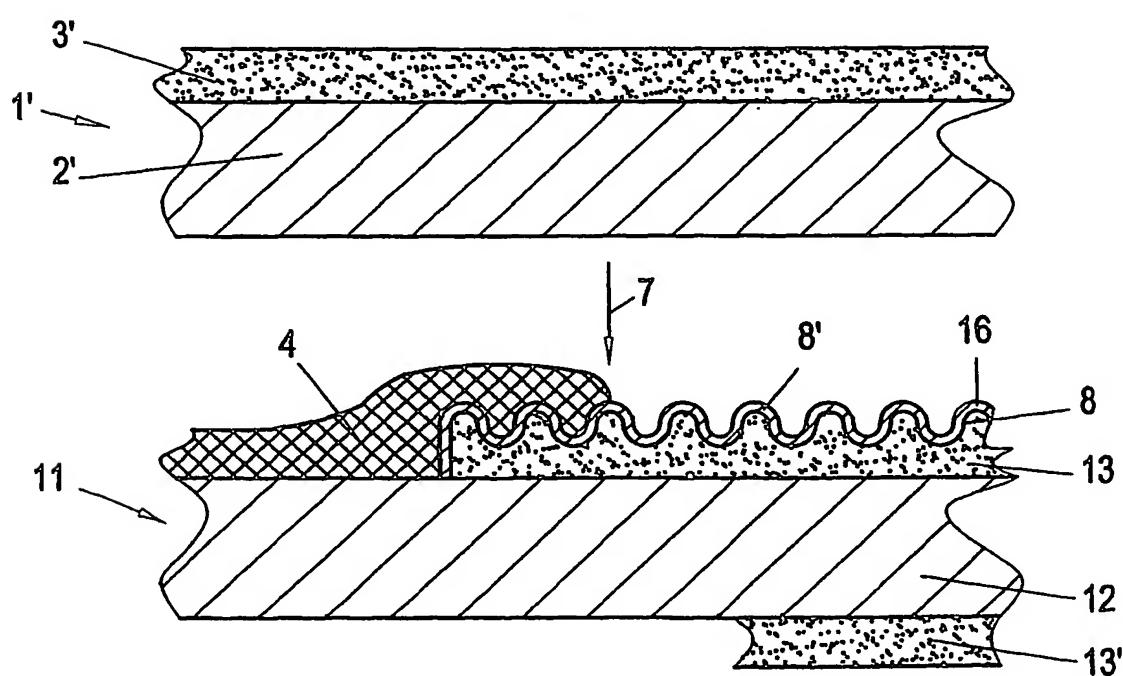
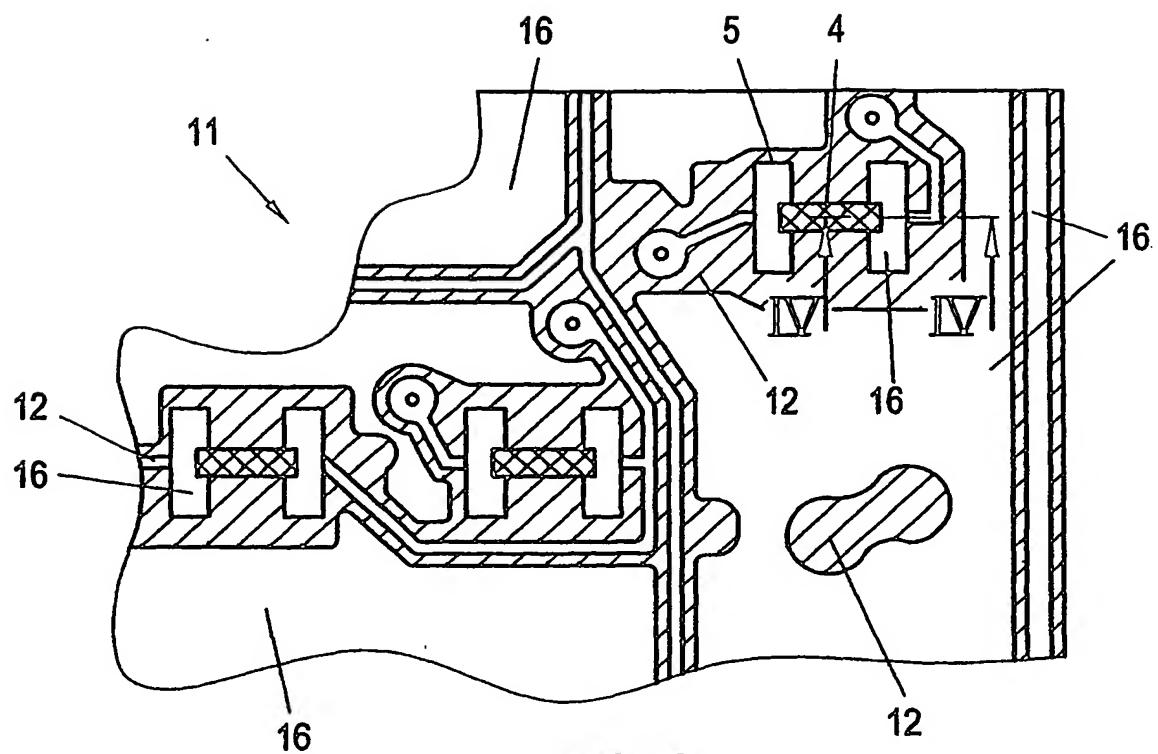


FIG. 2

**THIS PAGE BLANK (USPTO)**

2 / 2



**THIS PAGE BLANK (USPTO)**

# INTERNATIONAL SEARCH REPORT

International Application No  
PCT/AT2005/000010

**A. CLASSIFICATION OF SUBJECT MATTER**  
IPC 7 H05K3/24 H05K1/16

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)  
IPC 7 H05K H01C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the International search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data, PAJ

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 1 102 523 A (IBIDEN CO., LTD) 23 May 2001 (2001-05-23)	1-13, 15-22, 24-27
Y	paragraphs '0062!, '0066!, '0072!, '0075!, '0078!, '0079!; figures 9-12	14,23
Y	US 4 870 746 A (KLASER ET AL) 3 October 1989 (1989-10-03) column 5, lines 48-66	14,23
X	US 2003/132025 A1 (WAKIHARA YOSHINORI ET AL) 17 July 2003 (2003-07-17) paragraphs '0072!, '0074!; figure 11	1,19
P,A	US 2004/239474 A1 (DUNN GREGORY J ET AL) 2 December 2004 (2004-12-02)	1-27
	----- ----- -----	-/-

Further documents are listed in the continuation of box C.

Patent family members are listed in annex.

\* Special categories of cited documents :

- \*A\* document defining the general state of the art which is not considered to be of particular relevance
- \*E\* earlier document but published on or after the International filing date
- \*L\* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- \*O\* document referring to an oral disclosure, use, exhibition or other means
- \*P\* document published prior to the international filing date but later than the priority date claimed

- \*T\* later document published after the International filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- \*X\* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- \*Y\* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- \*&\* document member of the same patent family

Date of the actual completion of the International search

25 April 2005

Date of mailing of the International search report

06/05/2005

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Authorized officer

Batev, P

## INTERNATIONAL SEARCH REPORT

International Application No  
PCT/AT2005/000010

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2003/157264 A1 (HUTCHINSON CARL ET AL) 21 August 2003 (2003-08-21) the whole document -----	
A	US 2003/150101 A1 (PARK KEON-YANG ET AL) 14 August 2003 (2003-08-14) the whole document -----	
A	EP 1 327 995 A (SHIPLEY CO. L.L.C) 16 July 2003 (2003-07-16) the whole document -----	

**INTERNATIONAL SEARCH REPORT**

International Application No

PCT/AT2005/000010

Patent document cited in search report		Publication date		Patent family member(s)	Publication date
EP 1102523	A	23-05-2001		JP 2000315854 A JP 2000082871 A EP 1102523 A1 CN 1316175 A WO 0003570 A1 JP 2002208775 A JP 2003163446 A TW 535480 B TW 535481 B	14-11-2000 21-03-2000 23-05-2001 03-10-2001 20-01-2000 26-07-2002 06-06-2003 01-06-2003 01-06-2003
US 4870746	A	03-10-1989	CA	2002001 A1	07-05-1990
US 2003132025	A1	17-07-2003		JP 10190224 A JP 10215060 A JP 10242638 A JP 10242639 A CN 1245008 A EP 0952762 A1 WO 9827798 A1 JP 2003060342 A KR 2000057687 A US 6835895 B1	21-07-1998 11-08-1998 11-09-1998 11-09-1998 16-02-2000 27-10-1999 25-06-1998 28-02-2003 25-09-2000 28-12-2004
US 2004239474	A1	02-12-2004	WO	2004109719 A2	16-12-2004
US 2003157264	A1	21-08-2003		DE 10050862 A1 AT 275214 T AU 1227402 A BR 0114155 A CA 2417071 A1 CN 1468324 A DE 60105305 D1 WO 0229132 A1 EP 1322798 A1 HK 1053152 A1 JP 2004510885 T MX PA03000899 A	25-04-2002 15-09-2004 15-04-2002 29-07-2003 11-04-2002 14-01-2004 07-10-2004 11-04-2002 02-07-2003 28-01-2005 08-04-2004 24-06-2003
US 2003150101	A1	14-08-2003	KR	2003046552 A	18-06-2003
			CN	1423517 A	11-06-2003
EP 1327995	A	16-07-2003	EP	1327995 A2	16-07-2003
			JP	2004040073 A	05-02-2004
			US	2003231099 A1	18-12-2003

**THIS PAGE BLANK (USPTO)**

# INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/AT2005/000010

**A. KLASIFIZIERUNG DES ANMELDUNGSGEGENSTANDES**  
IPK 7 H05K3/24 H05K1/16

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

**B. RECHERCHIERTE GEBIETE**

Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)  
IPK 7 H05K H01C

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, WPI Data, PAJ

**C. ALS WESENTLICH ANGESEHENE UNTERLAGEN**

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	EP 1 102 523 A (IBIDEN CO., LTD) 23. Mai 2001 (2001-05-23)	1-13, 15-22, 24-27
Y	Absätze '0062!, '0066!, '0072!, '0075!, '0078!, '0079!; Abbildungen 9-12	14,23
Y	US 4 870 746 A (KLASER ET AL) 3. Oktober 1989 (1989-10-03) Spalte 5, Zeilen 48-66	14,23
X	US 2003/132025 A1 (WAKIHARA YOSHINORI ET AL) 17. Juli 2003 (2003-07-17) Absätze '0072!, '0074!; Abbildung 11	1,19
P,A	US 2004/239474 A1 (DUNN GREGORY J ET AL) 2. Dezember 2004 (2004-12-02)	1-27 -/-

Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

Siehe Anhang Patentfamilie

\* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem Internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem Internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem Internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kolidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"V" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"W" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der Internationalen Recherche

Absendedatum des Internationalen Recherchenberichts

25. April 2005

06/05/2005

Name und Postanschrift der Internationalen Recherchenbehörde

Europäisches Patentamt, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl.  
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Batev, P

## INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen  
PCT/AT2005/000010

## C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	US 2003/157264 A1 (HUTCHINSON CARL ET AL) 21. August 2003 (2003-08-21) das ganze Dokument -----	
A	US 2003/150101 A1 (PARK KEON-YANG ET AL) 14. August 2003 (2003-08-14) das ganze Dokument -----	
A	EP 1 327 995 A (SHIPLEY CO. L.L.C) 16. Juli 2003 (2003-07-16) das ganze Dokument -----	

**INTERNATIONALER RECHERCHENBERICHT**

Internationales Aktenzeichen

PCT/AT2005/000010

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung		Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
EP 1102523	A	23-05-2001		JP 2000315854 A JP 2000082871 A EP 1102523 A1 CN 1316175 A WO 0003570 A1 JP 2002208775 A JP 2003163446 A TW 535480 B TW 535481 B		14-11-2000 21-03-2000 23-05-2001 03-10-2001 20-01-2000 26-07-2002 06-06-2003 01-06-2003 01-06-2003
US 4870746	A	03-10-1989	CA	2002001 A1		07-05-1990
US 2003132025	A1	17-07-2003		JP 10190224 A JP 10215060 A JP 10242638 A JP 10242639 A CN 1245008 A EP 0952762 A1 WO 9827798 A1 JP 2003060342 A KR 2000057687 A US 6835895 B1		21-07-1998 11-08-1998 11-09-1998 11-09-1998 16-02-2000 27-10-1999 25-06-1998 28-02-2003 25-09-2000 28-12-2004
US 2004239474	A1	02-12-2004	WO	2004109719 A2		16-12-2004
US 2003157264	A1	21-08-2003		DE 10050862 A1 AT 275214 T AU 1227402 A BR 0114155 A CA 2417071 A1 CN 1468324 A DE 60105305 D1 WO 0229132 A1 EP 1322798 A1 HK 1053152 A1 JP 2004510885 T MX PA03000899 A		25-04-2002 15-09-2004 15-04-2002 29-07-2003 11-04-2002 14-01-2004 07-10-2004 11-04-2002 02-07-2003 28-01-2005 08-04-2004 24-06-2003
US 2003150101	A1	14-08-2003	KR	2003046552 A		18-06-2003
			CN	1423517 A		11-06-2003
EP 1327995	A	16-07-2003	EP	1327995 A2		16-07-2003
			JP	2004040073 A		05-02-2004
			US	2003231099 A1		18-12-2003

**THIS PAGE BLANK (USPTO)**